

# 2

Docket No.: 57454-263

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Mitsuya KINOSHITA, et al.

Serial No.:

Filed: November 15, 2001

For: MULTI-BIT TEST CIRCUIT

:  
:  
:  
:  
:  
:  
:

Group Art Unit:

Examiner:



**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application Number 2001-060152, Filed March 5, 2001**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

A handwritten signature in black ink, appearing to read "Becker".

Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:kjw  
**Date: November 15, 2001**  
Facsimile: (202) 756-8087

57454-263  
mitsuya Kinoshita et al  
November 15, 2001

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

McDermott, Will & Emery  
# 2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2001年 3月 5日

出 願 番 号

Application Number:

特願2001-060152

出 願 人

Applicant (s):

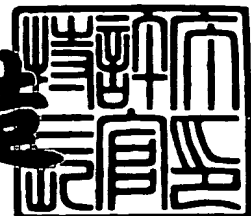
三菱電機株式会社

J1011 U.S. PRO  
09/987563  
11/15/01

2001年 3月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3023802

【書類名】 特許願  
【整理番号】 529465JP01  
【提出日】 平成13年 3月 5日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 29/00  
G11R 31/318

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 木下 充矢

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 堂阪 勝己

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチビットテスト回路

【特許請求の範囲】

【請求項 1】 メモリアレイから並列に読出された複数のデータビットの論理レベルの一致／不一致を判定するためのマルチビットテスト回路であって、

前記複数のデータビットに対応して配置され、各々が対応のデータビットと前記対応のデータビットと所定の関係の教師データビットの対を受け該受けたデータビットの論理レベルの一致／不一致を判定する複数の第 1 の判定手段を備え、異なる対においては、前記教師データビットは互いに異なり、

前記複数の第 1 の判定手段の出力信号に従って、前記複数のデータビットの論理レベルの一致／不一致を示す最終判定信号を出力する最終判定手段を備える、マルチビットテスト回路。

【請求項 2】 前記複数のデータビットは、各々が所定数のデータビットを有する複数の組に分割され、

各前記第 1 の判定手段は、対応のデータビットの組と異なる組に含まれかつ該異なる組において前記対応のデータビットと同じ位置のデータビットを教師データビットとして受ける、請求項 1 記載のマルチビットテスト回路。

【請求項 3】 前記複数のデータビットは並列に与えられ、かつ各々が同一ビット幅の複数の組に分割され、

各前記第 1 の判定手段は、対応のデータビットの組に隣接する組の前記対応するデータビットと互に対応する位置のデータビットを前記教師データとして受ける、請求項 1 記載のマルチビットテスト回路。

【請求項 4】 前記複数の第 1 の判定手段の数は、前記複数のデータビットの数よりも小さい、請求項 3 記載のマルチビットテスト回路。

【請求項 5】 各前記第 1 の判定手段は、前記複数の組においてサイクリックに隣接する組の前記対応するデータビットと対応の位置のデータビットを前記教師データとして受ける、請求項 3 記載のマルチビットテスト回路。

【請求項 6】 前記複数のデータビットは並列に与えられかつ各々が同一のビット幅を有する複数の組に分割され、

前記複数の組の第1の判定手段は、前記複数のデータビット各々に対応して配置され、該対応のデータビットの組と異なる組の対応の位置のデータビットを教師データとして受ける、請求項1記載のマルチビットテスト回路。

【請求項7】 前記複数のデータビットは並列に与えられ、かつ各々が所定数のデータビットを有する複数の組に分割され、

前記データビットの組と同一ビット幅の期待値教師データを伝達する教師信号伝達線をさらに備え、

前記複数の第1の判定手段は、前記複数のデータビットの所定数の組のデータビット各々に対応して配置され、各々が対応のデータビットを受けかつ該対応のデータビットの組と異なる組の対応の位置のデータビットを前記教師データとして受ける複数の第1の判定ゲートと、

残りの組のデータビット各々に対応して配置され、各々が対応の組の対応のデータビットと前記期待値教師データの対応の期待値教師データビットとを受取る複数の第2の判定ゲートとを備える、請求項1記載のマルチビットテスト回路。

【請求項8】 各前記データビットは、同一数の第1の判定手段に結合される、請求項1記載のマルチビットテスト回路。

【請求項9】 各前記データビットの配線負荷が、実質的に同じとなるように、各データビットの対応の第1の判定手段に対する配線レイアウトが設定される、請求項1記載のマルチビットテスト回路。

【請求項10】 複数のデータビットを選択する複数のデータ線を備え、前記データビットは、各々が同一ビット幅を有する3以上の複数の組に分割され、

前記複数のデータ線に対応して配置され、各々が対応の組と異なる組のデータビットを教師データとして受けて対応のデータ線のデータビットと該受けた教師データとの論理レベルの一致／不一致を判定するための複数の判定ゲート、および

前記複数の判定ゲートの出力信号に従って、前記複数のデータビットの論理レベルの一致／不一致を示す信号を生成する最終判定回路を備える、マルチビットテスト回路。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、複数のメモリセルを同時にテストするためのマルチビットテスト回路に関し、特に、複数のメモリセルから並列に読出されたデータビットの論理レベルの一致／不一致を判定するためのマルチビットテスト回路に関する。

## 【0002】

## 【従来の技術】

半導体記憶装置のテストの1つに、メモリセルに対しデータを正常に書込／読出を行なうことができるか否かを検査するテストモードがある。このテストにおいては、所定のビットパターンのテストデータをメモリセルに書込み、次いでメモリセルからデータを読出して、この読出したデータと期待値データとを比較する。期待値データと読出データとが一致している場合には、この半導体記憶装置は正常に動作しており、一方、不一致の場合には、この半導体記憶装置においてビット不良が存在すると判定される。

## 【0003】

このようなテストを、1ビット単位で実行した場合、大記憶容量の半導体記憶装置においては、そのテスト時間が極めて長くなる。そこで、このテスト時間を短縮するために、複数ビット単位でテストを行なうマルチビットテストが実行される。このマルチビットテストにおいては、複数ビットのメモリセルが同時に選択され、これらの複数ビットのメモリセルに対し同一論理レベルのテストデータビットを書込む。次いで、これらの複数ビットのメモリセルから同時に記憶情報を読出し、これらの読出データビットの論理レベルの一致／不一致を判定する。

## 【0004】

このマルチビットテストにおいては、一般に複数ビットのメモリセルが一度にテストされるため、各読出データビットを逐次期待値データと比較する構成に較べて、テスト時間を短縮することができる。また、混載DRAM（ダイナミック・ランダム・アクセス・メモリ）の様にデータビットが、256ビットと通常のDRAMに較べてビット幅が広い場合、内部読出データを縮退することにより、通常のDRAMテスト用のテスト装置を使用して高速にテストを行なうことがで

きる。

【0005】

図8は、従来のマルチビットテスト回路の構成の一例を示す図である。この図8に示す構成においては、メモリ回路MKから並列に読出される32ビットのデータ $D<0>-D<31>$ を縮退して最終的に1ビットのフラグFLAGを生成する。このフラグFLAGにより、32ビットのデータ $D<31:0>$ の論理レベルの一致／不一致を示す。

【0006】

図8において、マルチビットテスト回路は、特定のデータビット $D<31>$ を増幅するバッファ回路BFと、データビット $D<30:0>$ の各ビットに対応して設けられ、各々が第1の入力に対応のデータビットを受け、かつ第2の入力にバッファ回路BFの出力信号を受けるEXOR回路EX0-EX30と、これらのEXOR回路EX0-EX30の出力信号を受けてフラグFLAGを生成するOR回路GTを含む。

【0007】

EXOR回路EX0-EX30の各々は、不一致検出回路として動作し、その第1および第2の入力に与えられる信号の論理レベルが不一致のときに、Hレベルの信号を出力する。この図8に示すマルチビットテスト回路においては、データビット $D<31>$ を教師データとして、データビット $D<30:0>$ の各ビットと教師データとの論理レベルの一致／不一致が判定される。特定のデータビット $D<31>$ がデータビット $D<30>-D<0>$ と論理レベルがすべて一致している場合には、EXOR回路EX0-EX30の出力信号は、すべて、Lレベルであり、応じてOR回路GTの出力するフラグFLAGはLレベルである。この状態においては、並列に読み出されたメモリセルデータの論理レベルがすべて一致していることが示され、メモリ回路MKにおいて正常にデータの書込／読出が行なわれたと判定される。

【0008】

一方、読出データビット $D<30:0>$ の少なくとも1ビットが、データビット $D<31>$ と論理レベルが異なる場合には、EXOR回路EX0-EX30の



少なくとも1つがHレベルの信号を出力し、応じてOR回路GTの出力するフラグFLAGがHレベルとなる。これにより、メモリセルデータの論理レベルの不一致が示され、ビット不良が存在すると判定される。

#### 【0009】

このマルチビットテストにおいては、メモリセルデータの読出前には、同一論理レベルのデータが、メモリ回路MKの対応のメモリセルに書込まれている。したがって、この図8に示す構成の場合、32ビットのメモリセルに対し同時に、正常にデータの書込／読出が行なわれたか否かの判定を行なうことができ、テスト時間を、1ビット単位で行なう場合に比べて、大幅に短縮することができる。

#### 【0010】

##### 【発明が解決しようとする課題】

図8に示すようなマルチビットテスト回路の構成の場合、内部で読出された特定のメモリセルデータ（データビット $D<31>$ ）を、教師データとして用いて、データビット $D<30:0>$ が正常に読出されたか否かの判定が行なわれる。したがって、特定のデータビット $D<31>$ を、教師データとして利用するため、そのゲート負荷および配線負荷が大きく、バッファ回路BFを用いて、データビット $D<30:0>$ の各ビットに対応して設けられるEXOR回路EX30-EX0に、データビット $D<31>$ を伝達している。このバッファ回路BFは、データビット $D<31>$ をEXOR回路EX30-EX0に対し共通に伝達するため、比較的大きな駆動力が必要とされ、その占有面積が大きくなり、マルチビットテスト回路の占有面積が大きくなるという問題が生じる。

#### 【0011】

また、このバッファ回路BFの出力信号線が、EXOR回路EX30-EX0に共通に結合され、その配線長が長く、配線負荷が大きくなり、このバッファ回路BFの出力信号のデータ遅延により、バッファ回路BFの出力信号の確定タイミングが遅くなり、フラグFLAGを早いタイミングで確定状態へ駆動することができないという問題が生じる。これを防止するためには、バッファ回路BFの駆動力をさらに大きくする必要があり、さらに占有面積が増大する。

#### 【0012】

それゆえ、この発明の目的は、小占有面積の、マルチビットテスト回路を提供することである。

【0013】

この発明の他の目的は、教師データの配線長を短縮して、早いタイミングで判定動作を行なうことのできるマルチビットテスト回路を提供することである。

【0014】

この発明のさらに他の目的は、教師データの駆動負荷を小さくすることのできるマルチビットテスト回路を提供することである。

【0015】

【課題を解決するための手段】

この発明に係るマルチビットテスト回路は、メモリアレイから並列に読出された複数のデータビット対応して配置され、各々が対応のデータビットと該対応のデータビットと所定の関係にある教師データビットとの論理レベルの一致／不一致を判定する複数の第1の判定手段と、これら複数の第1の判定手段の出力信号に従って、複数のデータビットの論理レベルの一致／不一致を示す最終判定信号を出力する最終判定手段を含む。複数の第1の判定手段に与えられるデータビットの対において、異なる対の教師データビットは、互いに異なる。

【0016】

好ましくは、複数のデータビットが、各々が所定数のデータビットを有する複数の組に分割される。第1の判定手段は、対応のデータビットと異なる組に含まれかつ該異なる組において対応のデータビット同じ位置のデータビットを教師データビットとして受ける。

【0017】

また、これに代えて、好ましくは、複数のデータビットは各々が同一ビット幅を有する複数の組に分割される。各第1の判定手段は、隣接する組の対応する位置のデータビットを教師データビットとして受ける。

【0018】

好ましくは、これら第1の判定手段の数は、複数のデータビットの数よりも小さい。

## 【0019】

また、これに代えて、第1の判定手段は、複数の組においてサイクリックに隣接する組の対応の位置のデータビット教師データビットとして受ける。

## 【0020】

また、これに代えて、複数のデータビットは並列に与えられかつ同一のビット幅を有する複数の組に分割される。複数の第1の判定手段は、複数のデータビット各々に対応して配置され、各々が対応のデータビットの組と異なる組の対応の位置のデータビットを教師データとして受ける。

## 【0021】

また、これに代えて、複数のデータビットが所定数のデータビットをそれぞれが有する複数の組に分割される。また、データビットの組と同一ビット幅の期待値教師データを伝達する教師信号伝達線がさらに設けられる。この構成において、複数の第1の判定手段は、複数のデータビットの所定数の組のデータビット各々に対応して配置され、各々が対応のデータビットの組と異なる組の対応の位置のデータビットを教師データとして受ける複数の第1の判定ゲートと、残りの組のデータビット各々に対応して配置され、各々が対応の組の対応のデータビットと期待値教師データの対応の期待値教師データビットとを受ける複数の第2の判定ゲートとを含む。

## 【0022】

好ましくは、各データビットは、同一数の第1の判定手段に結合される。

また、好ましくは各データビットの配線負荷が、実質的に同じとなるように、各データビットの対応の第1の判定手段に対する配線レイアウトが設定される。

## 【0023】

この発明の他の観点に従うマルチビットテスト回路は、複数のデータビットを選択する複数のデータ線を含む。これら複数のデータビットは、各々が同一ビット幅を有する3以上の複数の組に分割される。この発明の他の観点に係るマルチビットテスト回路は、さらに、複数のデータ線に対応して配置され、各々が対応の組と異なる組のデータビットを教師データとして受けて対応のデータ線のデータビットと該受けた教師データとの論理レベルの一致／不一致を判定するための

複数の判定ゲートと、これら複数の判定ゲートの出力信号に従って、最終のデータビットの論理レベルの一致／不一致を示す信号を生成する最終判定回路を備える。

#### 【0024】

互いに異なる教師データを含む複数のデータビットの対を、第1の判定手段に与えることにより、1ビットの特定の教師データを残りの全ビットに与える必要がなく、教師データの負荷が軽減される。したがって、教師データ駆動用のバッファを設ける必要がなく、このマルチビットテスト回路のレイアウト面積を低減することができる。

#### 【0025】

##### 【発明の実施の形態】

##### 【実施の形態1】

図1は、この発明に従う半導体記憶装置の要部を構成を概略的に示す図である。図1において、半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリアレイ1と、メモリアレイ1においてメモリセルの行および列を選択するロウ／コラムデコーダ帯2を含む。このロウ／コラムデコーダ帯2においては、メモリアレイ1のメモリセル行を選択するためのロウデコーダと、メモリアレイ1のメモリセル列を選択するためのコラムデコーダとが整列して配置される。このメモリアレイ1においては、メモリセル行に対応して配置されるワード線と、メモリセル列を選択する列選択信号を伝達する列選択線とが、行方向に沿って延在して配置される。

#### 【0026】

このメモリアレイ1上には、内部データを伝達するためのグローバルデータ線対GIO0-GIO<sub>n</sub>が配設される。

#### 【0027】

メモリアレイ1の選択列が、これらのグローバルデータ線対GIO0-GIO<sub>n</sub>に結合される。

#### 【0028】

半導体記憶装置は、さらに、グローバルデータ線対GIO0-GIO<sub>n</sub>上に読

出されたメモリセルデータを増幅して内部読出データを生成する内部データ読出回路 3 と、内部データ読出回路 3 により生成された読出データビット  $D_0 - D_n$  をバッファ処理して外部に出力するデータ出力回路 4 と、この読出データバス 5 に現われた読出データビット  $D_0 - D_n$  を並列に受けて、これらの読出データビット  $D_0 - D_n$  の論理レベルの一致／不一致を判定するマルチビットテスト回路 10 を含む。

#### 【0029】

内部データ読出回路 3 は、プリアンプ回路を含み、グローバルデータ線対  $GIO_a - GIO_n$  に読み出されたメモリセルデータビットを増幅して  $(n+1)$  ビットの内部読出データを生成する。

#### 【0030】

マルチビットテスト回路 10 は、内部データ読出回路 3 から示された読出データビット  $D_0 - D_n$  とから、所定の関係にしたがって配線によりデータビット対を形成するデータビット対形成配線領域 12 と、このデータビット対形成配線領域 12 により形成されたデータビット対それぞれを単位として縮退動作を行なって、最終的に、1 ビットのフラグ  $FLAG$  を生成する縮退回路 14 を含む。

#### 【0031】

この縮退回路 14 は、対応のデータビット対の論理レベルが一致しているか否かを判定する判定ゲートと、各判定ゲートの出力信号に従って、全ビット  $D_0 - D_n$  の論理レベルの一致／不一致を判定する最終判定回路とを含む。

#### 【0032】

このマルチビットテスト回路 10 からのテスト結果を示すフラグ  $FLAG$  が、データ出力回路 4 の特定の出力回路（出力バッファ回路）を介してこの半導体記憶装置の外部へ出力されてもよく、また、特定のパッド（またはピン端子）を介してこの半導体記憶装置の外部へ出力されてもよい。

#### 【0033】

この図 1 に示すマルチビットテスト回路 10 において、データビット対形成配線領域 12 を設けて、内部データ読出回路 3 からの内部読出データビット  $D_0 - D_n$  の対を形成することにより、読出データビットに対する教師データビットを

異ならせることができる。特定のデータビットを教師データとして、残りの全ビットとの比較を行なう必要はなく、特定の教師データビットを長距離に渡って伝達する必要がない。したがって、教師データビットを伝達するために従来のようなバッファ回路BFを設ける必要がなく、このマルチビットテスト回路10の占有面積を低減することができる。また、読出データビット対において異なるデータビットの対の教師データビットが異なり、個々の読出データビットを教師データとして使用して、論理レベルの一致／不一致が判定することができるため、個々の、教師データの配線負荷は小さく、教師データの伝播遅延を低減でき、高速で判定動作を行なうことができる。

#### 【0034】

以上のように、この発明の実施の形態1に従えば、プリアンプ回路を含む内部データ読出回路3からの読出データビットD0-Dnを用いて対を形成し、各対において教師データを異ならせるように構成しており、教師データを長距離に渡って延在して伝達する必要がなく、教師データを伝達するためのバッファ回路が不要となり、回路占有面積を低減することができる。また、各データビット対において、教師データは異なるビットであり、教師データの配線／ゲート負荷を小さくすることができ、高速で教師データを伝達することができる。

#### 【0035】

##### 〔実施の形態2〕

図2は、この発明の実施の形態2に従うマルチビットテスト回路10の構成を示す図である。この図2に示すマルチビットテスト回路10は、32ビットの読出データDOU<0>-DOU<31>を処理する。これらの読出データビットDOU<31:0>は、図1に示すデータビットD0-Dnまたはその一部に相当する。

#### 【0036】

このデータDOU<0>-DOU<31>は、それぞれが8ビットのデータを有する4つのデータ群IOG0-IOG3に分割される。マルチビットテスト回路10のデータビット対形成配線領域12においては、この隣接データ群の同じ位置のデータビットが対をなすように、内部配線L0-L23が配設される

。例えば、図2に示すように、データ群IOG0の最小番号のデータビットDO UT<0>が、隣接データ群IOG1の最小番号の読出データビットDO UT<8>と対をなすように内部配線L0が配設される。内部読出データビットDO UT<7>が、内部配線L7により、隣接データ群IOG1の読出データビットDO UT<15>と対をなす。

## 【0037】

一方、データ群IOG1においては、読出データビットDO UT<8>-DO UT<15>が、それぞれ内部配線L8-L15により、隣接データ群IOG2の対応の位置のデータビットDO UT<16>-DO UT<23>とそれぞれ対をなすように配設される。

## 【0038】

データ群IOG2においては、読出データビットDO UT<16>-DO UT<23>が、隣接データ群IOG3の対応の位置のデータビットDO UT<24>-DO UT<31>と対をなすように内部配線L16-L23が配設される。

## 【0039】

すなわち、データビットDO UT<23:0>については、隣接データ群の対応の位置のデータビットが教師データビットとして用いられて、論理レベルの一致/不一致の判定が行なわれる。

## 【0040】

縮退回路14は、データビットDO UT<0>-DO UT<23>にそれぞれ対応して設けられるEXOR回路XR0-XR23と、これらのEXOR回路XR0-XR23の出力信号を受けて、1ビットのフラグFLAGを生成するOR回路OGを含む。EXOR回路XR0-XR23は、それぞれの第2の入力に、内部配線L0-L23を介して、隣接データ群の対応の位置のデータビットを受ける。データ群IOG3のデータビットDO UT<24>-DO UT<31>は、隣接データ群IOG2のデータビットDO UT<16>-DO UT<23>に対する教師データとして使用されるだけであり、このデータ群IOG3のデータビットDO UT<31:24>に対しては、EXOR回路は配置されない。

## 【0041】

読出データビットDOUT<31:0>の論理レベルがすべて一致しているかまたは、データビットDOUT<23:0>がそれぞれ教師データビットDOUT<31:8>と論理レベルが一致している場合には、EXOR回路XR0-XR23の出力信号は、すべてLレベルであり、応じて、OR回路OGからのフラグFLAGは、Lレベルとなる。一方、読出データビットDOUT<31:0>において、少なくとも1ビットのデータビットの論理レベルが、残りのデータビットの論理レベルと異なるかまたはデータビットDOUT<23:0>が教師データビットDOUT<31:8>のうち少なくとも1ビットと不一致の場合には、対応のEXOR回路の出力信号がHレベルとなり、応じて、OR回路OGからの1ビットのフラグFLAGがHレベルとなる。

#### 【0042】

したがって、隣接データ群の対応のデータビットを教師データとして利用しても、従来と同様、読出データビットDOUT<31:0>の論理レベルの一致／不一致を判定することができる。

#### 【0043】

この図2に示す構成においては、データビットDOUT<7:0>およびDOUT<31:24>の各ビットは、それぞれ、1つのEXOR回路の入力負荷（ゲート負荷）を駆動することが要求されるだけであり、また読出データビットDOUT<23:8>の各ビットは、2つのEXOR回路の入力負荷を駆動することが要求されるだけである。したがって、従来のように、特定のデータビットを教師信号として用いる場合の様に、特定のデータビットに従って残りのデータビットに対するEXOR回路の入力負荷をすべて駆動する必要がなく、読出データビットの駆動負荷を十分小さくすることができる。したがって、図8に示すような従来のバッファ回路BFを用いる必要がなく、マルチビットテスト回路10の占有面積を低減することができる。

#### 【0044】

また、教師データとして隣接データ群の対応の位置のデータビットが用いられており、この教師データの配線長は短く、高速で教師データを伝達することができる。また、隣接データ群の対応の位置のデータビットを教師データとして利用



することにより、この内部配線  $L0-L23$  の長さを、ほぼ等しくすることができ、信号伝播遅延を小さくすることができ、EXOR回路  $XR0-XR23$  における信号の確定タイミングを早くすることができ、高速で、縮退動作を行なって1ビットフラグ  $FLAG$  を確定状態に駆動することができる。また、各データ群において8ビットのデータパターンを書き込み読出することができ、マルチビットテストのテスト内容に柔軟性を持たせることができ、マルチビットテストの信頼性を改善することができる。

【0045】

〔実施の形態3〕

図3は、この発明の実施の形態3に従うマルチビットテスト回路10の構成を概略的に示す図である。この図3に示すマルチビットテスト回路10においては、図2に示すマルチビットテスト回路10の構成に加えて、さらに、読出データビット  $DOUT<24>-DOUT<31>$  それぞれに対応して、EXORゲート  $XR24-XR31$  が設けられる。これらのEXORゲート  $XR24-XR31$  のそれぞれに対して、読出データビット  $DOUT<24>-DOUT<31>$  に対する教師データビットとして、サイクリックに隣接するデータ群  $IOG0$  の読出データビット  $DOUT<0>-DOUT<7>$  がそれぞれ内部配線  $L24-L31$  を介して伝達される。

【0046】

これらのEXOR回路  $XR0-XR31$  の出力信号が、OR回路  $OGA$  に与えられ、最終的に1ビットのフラグ  $FLAG$  に縮退される。

【0047】

データビット群  $DOUT<23:0>$  に対する教師データの関係は、先の実施の形態2の構成と同じであり、対応する部分には同一参照番号を付し詳細説明は省略する。

【0048】

この図3に示すマルチビットテスト回路10の構成においては、データビット  $DOUT<31:0>$  については、隣接データ群（サイクリックに隣接し、データ群  $IOG3$  が、データ群  $IOG0$  に隣接する）の対応のデータビットを、教師

データとして受けている。したがって、読出データビットDOUT<31:0>は、すべて、2つのEXOR回路の入力負荷を駆動することが要求され、読出データビットDOUT<31:0>それぞれの、駆動負荷を、ほぼ均一とすることができる。したがって、EXOR回路XR0-XR31の入力信号の確定タイミングをほぼ同一とすることができ、応じて、EXOR回路XR0-XR31の出力信号の確定タイミングをほぼ同一とすることができ、信号伝播遅延時間のバラツキを考慮して、このOR回路OGAからのフラグFLAGを取込むタイミングを決定する必要がなく、早いタイミングで、フラグFLAGを次段の回路で取込むことができる。したがって、このOR回路OGAからのフラグFLAGを取込む次段の回路（図示せず）のタイミング設計が、容易となる。

## 【0049】

また、読出データビットDOUT<31:0>のいずれが不良ビットであっても、EXOR回路XR0-XR31の不良ビットに対応するEXOR回路の出力信号がHレベルと立上がるタイミングは、読出データビットDOUT<31:0>すべてについて、ほぼ同一とすることができる。したがって、このフラグFLAGが変化するタイミングは、読出データビットDOUT<31:0>すべてについてほぼ同一とすることができる。

## 【0050】

また、読出データビットDOUT<31:0>は、各ビットが、隣接データ群の対応のデータビットに対する教師データとして利用されている。したがって、たとえば、EXOR回路XR0が、その出力信号がLレベルに固定される不良を生じた場合においても、これらの読出データビットDOUT<8>およびDOUT<0>が、他の読出データビットと比較されており、正確な、マルチビット判定動作を行なうことができる。より具体的に、読出データビットDOUT<0>が、読出データビットDOUT<24>とEXOR回路XR24により比較され、またデータビットDOUT<8>が、データビットDOUT<16>とEXOR回路XR8により比較されている。したがって、データビットDOUT<8>およびDOUT<0>の一方が不良ビットの場合、これらのEXOR回路XR8およびXR24の一方が、不良を検出するため、たとえ、EXOR回路XR0ま

たはXR8が、Lレベル固定不良を生じている場合であっても、正確な、マルチビット判定動作を行なうことができる。

#### 【0051】

したがって、読出データビットDOU $T<31:0>$ の各ビットを、2つのEXOR回路へ与えて、それぞれ異なる読出データビットと比較動作を行なうことにより、たとえ対応の2つのEXOR回路の一方が、Lレベル固定不良を生じても、他方のEXOR回路が正常に動作すれば、常に正確に、マルチビット判定動作を行なうことができる。

#### 【0052】

以上のように、この発明の実施の形態3に従えば、サイクリックに隣接するデータ群の対応のデータビットを対として、比較動作を行なっており、各読出データビットの駆動負荷（ゲート入力負荷）が全ビットについて均一となり、判定結果確定タイミングを不良ビットの位置にかかわらず、均一とすることができ、正確かつ高速にマルチビット判定動作を行なうことができる。また、各読出データビット対が、2つのEXOR回路に与えられており、対応の2つのEXOR回路の一方がLレベル固定不良を生じても、他方のEXOR回路が正常に動作していれば、正確にマルチビット判定動作を行なうことができ、このバックアップ判定動作を実現することができ、不良に強いマルチビットテスト回路を実現することができ、また歩留まりを改善することができる。

#### 【0053】

##### 〔実施の形態4〕

図4は、この発明の実施の形態4に従うマルチビットテスト回路10の構成を概略的に示す図である。この図4に示すマルチビットテスト回路10の構成は、図2に示す実施の形態2に従うマルチビットテスト回路10の構成と以下の点において異なっている。すなわち、データ群IOG3に含まれる読出データビットDOU $T<31:24>$ の各ビットに対し、EXOR回路XE0-XE7が設けられる。これらのEXOR回路XE0-XE7は、それぞれの第2の入力に、期待値ALPGビット $<0:7>$ を受ける。この8ビットの期待値ALPG $<7:0>$ は、この半導体記憶装置が形成されるチップ外部のテストから与えられても

よく、また半導体記憶装置と同一チップ内に設けられたBIST（ビルトイン・セルフテスト）回路から発生されてもよい。期待値ALPG<7:0>は、読出データに対する期待値を示す。この図4に示すマルチビットテスト回路の他の構成は、図2に示すマルチビットテスト回路の構成と同じであり、対応する部分には同一参照番号を付し、詳細説明は省略する。

#### 【0054】

これらのEXOR回路XR0-XR23およびXE0-XE7の出力信号が、OR回路OGBへ与えられて、1ビットのフラグFLAGが生成される。

#### 【0055】

期待値データバス20を介して、8ビットの期待値データALPG<7:0>を伝達し、EXOR回路XE7-XE0において、期待値ビットALPG<7:0>とデータ群IOG3の読出データビットDOUT<31:24>を、それぞれ比較する。他のデータビットDOUT<23:0>については、それぞれ隣接データ群の対応の位置のデータビットを教師データとして用いて比較が行なわれている。したがって、この8ビットの期待値ALPG<7:0>を利用することにより、データ群IOG3-IOG0それぞれにおいて、8ビットの期待値パターンを書込み読出すことができ、データ群IOG0-IOG3におけるそれぞれ8ビットのデータパターンを任意のパターンに設定することができ、マルチビットテストの内容を豊富にすることができ、より正確なマルチビットテストを行なうことができる。

#### 【0056】

以上のように、この発明の実施の形態4に従えば、さらに複数ビットの期待値を教師データとして利用しており、データ群単位で、この期待値データパターンとの比較を等価的に行なうことができ、柔軟なマルチビットテストを実現することができる。また、実施の形態2と同様の効果をも得ることができる。

#### 【0057】

##### 〔実施の形態5〕

図5は、この発明の実施の形態5に従うマルチビットテスト回路10の構成を示す図である。この図5に示すマルチビットテスト回路10において、読出デー

タビットDOUT<31:0>と、これらの読出データビットDOUT<31:0>に対する教師データの対応関係は、図3に示すマルチビットテスト回路10における対応関係と同じである。この図5に示すマルチビットテスト回路10においては、データビット対形成配線領域12において、読出データビットDOUT<8>-DOUT<31>を教師データビットとして伝達する信号配線LL0-LL23と、データビットDOUT<7:0>を、読出データビットDOUT<31:24>それぞれの教師データビットとして伝達する信号配線L31-L24の、配線長さがすべて同じとされる。

#### 【0058】

この配線形成領域12において、信号配線LL0-LL23およびL24-L31の配線長さをすべて等しくすることにより、データビットDOUT<31:0>それぞれについて、ゲート容量に加えて、配線容量も同一となり、これらの読出データビットDOUT<31:0>それぞれの信号伝播遅延をより均一とすることができる。したがって、データビットDOUT<31:0>のいずれのビットが不良であっても、フラグFLAGが確定状態となるタイミングを、より均一とすることができ、フラグFLAGを取込む回路のタイミング設計が容易となる。

#### 【0059】

この信号配線LL0-LL23の配線レイアウトは、単に配線を蛇行させるだけでよい。この場合、信号配線の錯綜を防止するために、多層構造の配線を用いて、各信号配線が配置されてもよい。

#### 【0060】

以上のように、この発明の実施の形態5に従えば、マルチビットテストの対象の読出データビットを教師データビットとして伝達する信号線の配線長さを各ビットについて同じとしており、読出データビットの配線負荷およびゲート負荷を均一とすることができ、判定結果確定タイミングのバラツキを防止することができ、早いタイミングでマルチビット判定を行なうことができる。また、この判定結果を取込むためのタイミングマージンを大きくすることができ、このマルチビット判定結果を示すフラグを取込む回路のタイミング設計が容易となる。

## 【0061】

## 〔実施の形態6〕

図6は、この発明における読出データビットと教師データビットの対応関係を示す図である。図6に示すように、読出データビット $\text{DOUT} \langle 31 : 0 \rangle$ は、それぞれが8ビットのデータを有する4つのデータ群 $\text{IOG}3 - \text{IOG}0$ に分割される。読出データビットは、それぞれ隣接するデータ群の対応の位置のデータビットを教師データとして受ける。図6において、データ群 $\text{IOG}3$ のデータビット $\text{DOUT} \langle 24 \rangle - \text{DOUT} \langle 31 \rangle$ は、それぞれサイクリックに隣接するデータ群 $\text{IOG}0$ の対応のデータビット $\text{DOUT} \langle 0 \rangle - \text{DOUT} \langle 7 \rangle$ を教師データとして受けるか、または、期待値データ $\text{ALPG} \langle 0 \rangle - \text{ALPG} \langle 7 \rangle$ を教師データビットとして受ける。

## 【0062】

この図6に示すようにデータ群 $\text{IOG}3 - \text{IOG}0$ を、それぞれ8ビット構成としているのは、通常、この発明の1適用例である混載DRAMにおいては、8IOグローバルデータ線対(GIO)単位で、不良救済が行なわれる。すなわち、8IOに対し1つのスペアIOが配置される。したがって、8IO(8ビットデータ)単位で、回路のレイアウトが繰返される。したがって、このデータビット $\text{DOUT} \langle 31 : 0 \rangle$ は、8ビットデータ群に分割することにより、同一レイアウトでEXOR回路を配置し、かつ対応の読出データビットと接続する回路をレイアウトすることにより、同一レイアウトを、繰返し配置することができる。

## 【0063】

しかしながら、この教師データビットとして、同一データ群のデータビットが使用されてもよい。すなわち、32ビットデータに代えて8ビットデータに対し実施の形態2から5の構成を利用する。各データ群の出力するフラグをさらに縮退するかまたは、そのまま出力する。このような構成であっても同様の効果を得ることができる。

## 【0064】

## 〔変更例〕

図7は、この発明に従う半導体記憶装置の変更例を概略的に示す図である。図

7において、メモリ回路40からは、256ビットのデータが並列に出力される（図1に示すグローバルデータ線対GIOを介して）。このメモリ回路40は、図1に示すロウ／コラムデコーダ帯、メモリアレイ、および内部データ読出回路を含む。32ビットのデータ群に、このメモリ回路1から読出されるデータビットDOU<255:0>を分割する。32ビットのデータ群それぞれに対し、先の実施の形態2から5において示したマルチビットテスト回路MBTを配置する。図7において、データビットDOU<31:0>、DOU<63:32>、…、DOU<255:224>に対し、それぞれマルチビットテスト回路MBT0、MBT1、…、MBT7が配置される。これらのマルチビットテスト回路MBT0-MBT7が、それぞれ、実施の形態2から5の構成のいずれかに従って縮退動作を行ない、このマルチビット判定結果を示すフラグFLAG0-FLAG7を出力する。これらのフラグFLAG0-FLAG7は、並列に、半導体記憶装置の外部へ出力されてもよく（特定のパッドまたは特定の出力回路を介して）、またはさらに、縮退動作が行なわれ1ビットの最終フラグが生成されてもよい。

#### 【0065】

この図7に示すように、32ビットのデータ群に対するマルチビットテスト回路を、実施の形態2から5のいずれかに従って構成することにより、メモリ回路1におけるビット幅拡張に対しても、このマルチビットテスト回路の数を増加させるだけで容易に対応することができる。32IOごとに、マルチビット判定動作を実行することにより、このメモリ回路1における読出データの32ビット単位でのビット幅拡張に対しても容易に、実施の形態2から5のいずれかに従うマルチビットテスト回路を用いることにより、小占有面積でかつ高速かつ正確にマルチビット判定動作を行なう回路を実現することができる。

#### 【0066】

なお、実施の形態2から5において、最終判定結果を示すフラグFLAGを生成する回路として、1段のOR回路OG、OGAおよびOGBが示されている。しかしながら、この最終判定結果を示すフラグを生成するOR回路は、複数段のゲート回路で構成され、順次出力ビット数を低減する縮退動作を複数段にわたっ

て実行し、最終的に1ビットのフラグを生成するように構成されてもよい。

【0067】

また、アドレスデコード回路と同様に、出力ノードに並列に、E X O R回路の出力信号をゲートに受けるM O Sトランジスタ（絶縁ゲート型電界効果トランジスタ）を接続し、そのE X O R回路の出力信号のいずれかがHレベルのときに、この出力ノードをLレベルに放電し、この出力ノードの電圧レベルをインバータを介して反転することによりフラグF L A Gを生成するような構成が、最終判定結果を示すフラグを生成するO R回路として用いられてもよい。

【0068】

また、上述の説明においては、混載D R A Mが一例として示されている。しかしながら、内部で32ビットのデータを読み出し、さらに、選択動作を行なって8ビットデータが出力される半導体記憶装置であっても、本発明は適用可能である。また、半導体記憶装置としては、D R A Mに限定されず、スタティック・ランダム・アクセス・メモリであってもよく、マルチビットテストを、教師データを用いて行なう半導体記憶装置であれば、本発明は適用可能である。

【0069】

【発明の効果】

以上のように、この発明に従えば、内部読出データビットを複数のグループに分割し、異なるグループの対応の位置のデータビットを教師データとして用いてマルチビット判定を行っており、教師データを長距離に渡って伝播する必要がなく、小占有面積でかつ高速にマルチビット判定を行なうことができるマルチビットテスト回路を実現することができる。

【0070】

すなわち、内部読出された複数のデータビットに対応して第1の判定回路を配置し、対応のデータビットと異なる組の対応の位置のデータビットを教師データビットとして利用して判定動作を行ない、さらにこれらの第1の判定手段の出力信号に従って最終的なマルチビット判定信号を出力することにより、個々のデータビットに対し異なるデータビットを教師データとして利用することができ、教師データをすべてのデータビットに共通に与える必要がなく、教師データビット



の負荷が軽減される。したがって、教師データ駆動用のバッファを配置する必要がなく、回路占有面積が低減される。

【0071】

また、内部読出データを、それぞれ所定ビット数を有する複数の組に分割し、第1の判定手段に対し、対応のデータビットと異なる組に属し、かつ対応の位置に配置されるデータビットを教師データビットを与えることにより、各データビットの駆動すべきゲートの負荷を実質的に同一とすることができ、不良判定確定タイミングのスキューを小さくすることができ、マルチビット判定タイミングを早くすることができる。また、不良判定時の不良ビット位置に応じた判定タイミングのスキューが小さく、このマルチビット判定結果信号を取込む回路のタイミング設計が容易となる。

【0072】

特に、隣接する組の対応の位置のデータビットを教師データビットとして利用することにより、配線レイアウトが錯綜することがなく、各データビットのゲート容量を実質的に同一とすることができ、また配線容量負荷もほぼ同一とすることができ、判定結果確定タイミングを、各データビットについてほぼ同一とすることができる。

【0073】

また、第1の判定手段の数をデータビットの数よりも小さくすることにより、データビットが、最大2個の判定手段を駆動することが要求されるだけであり、ほぼ各データビットの負荷を同一とすることができ、また判定手段の数も低減され、さらに回路占有面積をも低減することができる。

【0074】

また、サイクリックに隣接する組の対応の位置のデータビットの対を各第1の判定手段に与えることにより、データビットのゲート負荷をすべて等しくすることができ、判定結果確定タイミングのスキューをより小さくすることができる。したがって、マルチビット結果を取込む回路のタイミングマージンを大きく取る必要がなく、マルチビット判定結果指示信号を取込む回路のタイミング設計を容易に行なうことができる。また、この判定結果を取込む回路のタイミングマージ

ンを小さくすることができ、早いタイミングでマルチビット判定結果を確定状態として外部へ出力することができる。また、各ビットの判定について別の判定手段をバックアップ判定回路として利用することができ、判定手段の不良に強いマルチビット判定回路を実現することができ、また歩留まりが改善される。

【0075】

さらに、複数のデータビットを各々に対応して第1の判定手段を配置し、別の組の対応の位置のデータビットを教師データとして利用することにより、各データビットのゲート負荷が同一となり、早いタイミングでマルチビット判定結果を出力することができる。

【0076】

また、少なくとも1つの組に対して教師データを与え、残りの組に対しては別の組の対応の位置のデータビットを与えることにより、各データビットの組において、任意のデータパターンのテストデータを与えることができ、柔軟なマルチビットテストを行なうことができる。

【0077】

また、各データビットを同一数の第1の判定手段に結合することにより、各データビットのゲート負荷を同一とすることができ、判定結果確定タイミングを各データビットについて同じとすることができ、安定にかつ高速に判定を確定状態に駆動して外部に出力することができる。

【0078】

また、各データビットの配線負荷が同一となるように、配線レイアウトを行なうことにより、各データビットの配線容量およびゲート容量を実質的に同一とすることができ、信号伝播遅延を各データビットについて同一とすることができる。

【0079】

また、3以上の組に内部読出データビットを分割し、データビットに対応して判定ゲートを配置し、各判定ゲートに対し対応のビットと別の組の対応の位置のデータビットとを与えることにより、別の組のデータビットを教師データとして用いた判定動作を行なうことができ、教師データを全ビットに共通に与える必要

がなく、教師データ駆動用のバッファ回路を配置する必要がなく、回路占有面積を低減することができる。また、また、各ビットのゲート負荷をほぼ同一とすることができ、早いタイミングで判定結果を確定状態に設定することができる。

【図面の簡単な説明】

【図 1】 この発明に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 2】 この発明の実施の形態 2 に従うマルチビットテスト回路の構成を示す図である。

【図 3】 この発明の実施の形態 3 に従うマルチビットテスト回路の構成を示す図である。

【図 4】 この発明の実施の形態 4 に従うマルチビットテスト回路の構成を示す図である。

【図 5】 この発明の実施の形態 5 に従うマルチビットテスト回路の構成を示す図である。

【図 6】 この発明におけるマルチビットテスト回路の各読出データビットと対応の教師データとの対応関係を示す図である。

【図 7】 この発明に従う半導体記憶装置のさらに他の構成を概略的に示す図である。

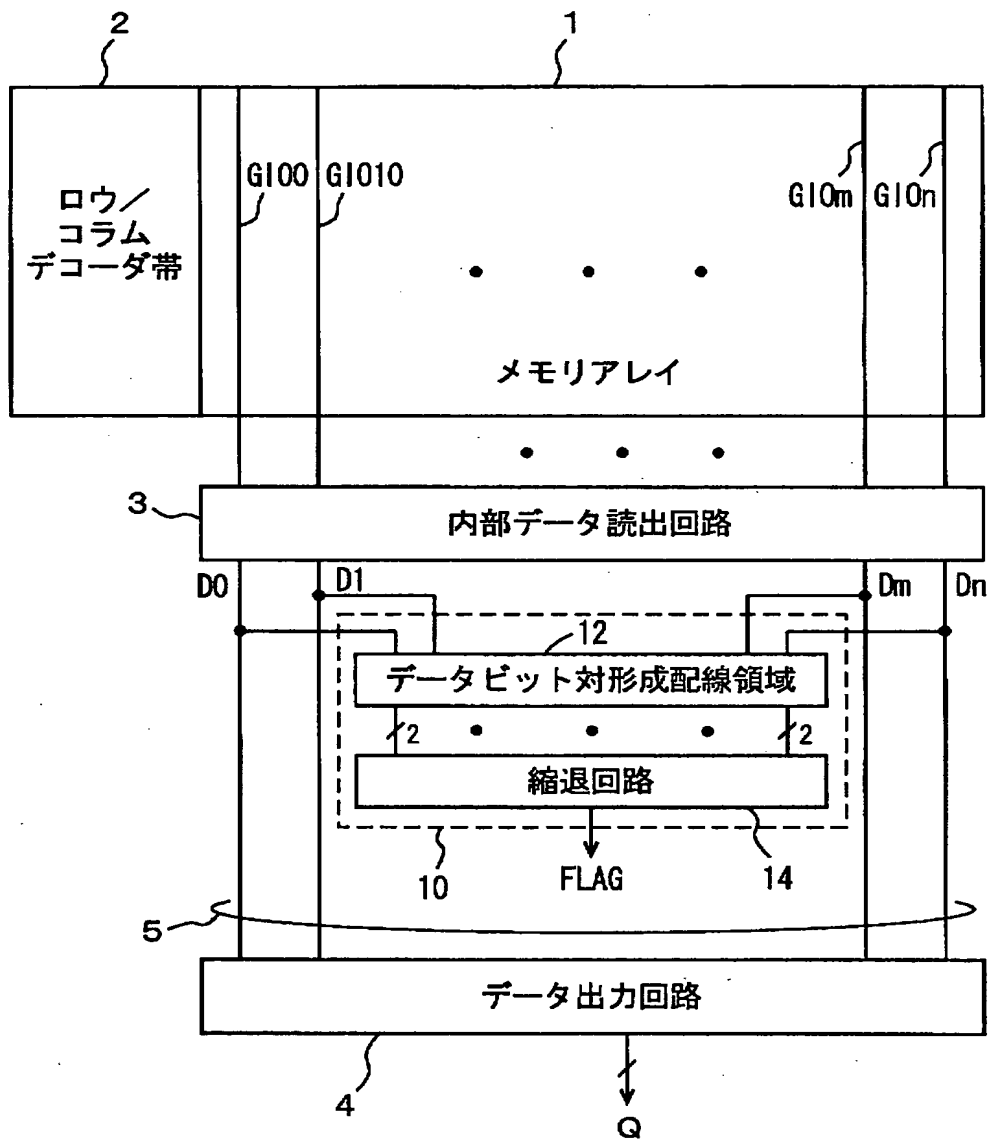
【図 8】 従来のマルチビットテスト回路の構成を示す図である。

【符号の説明】

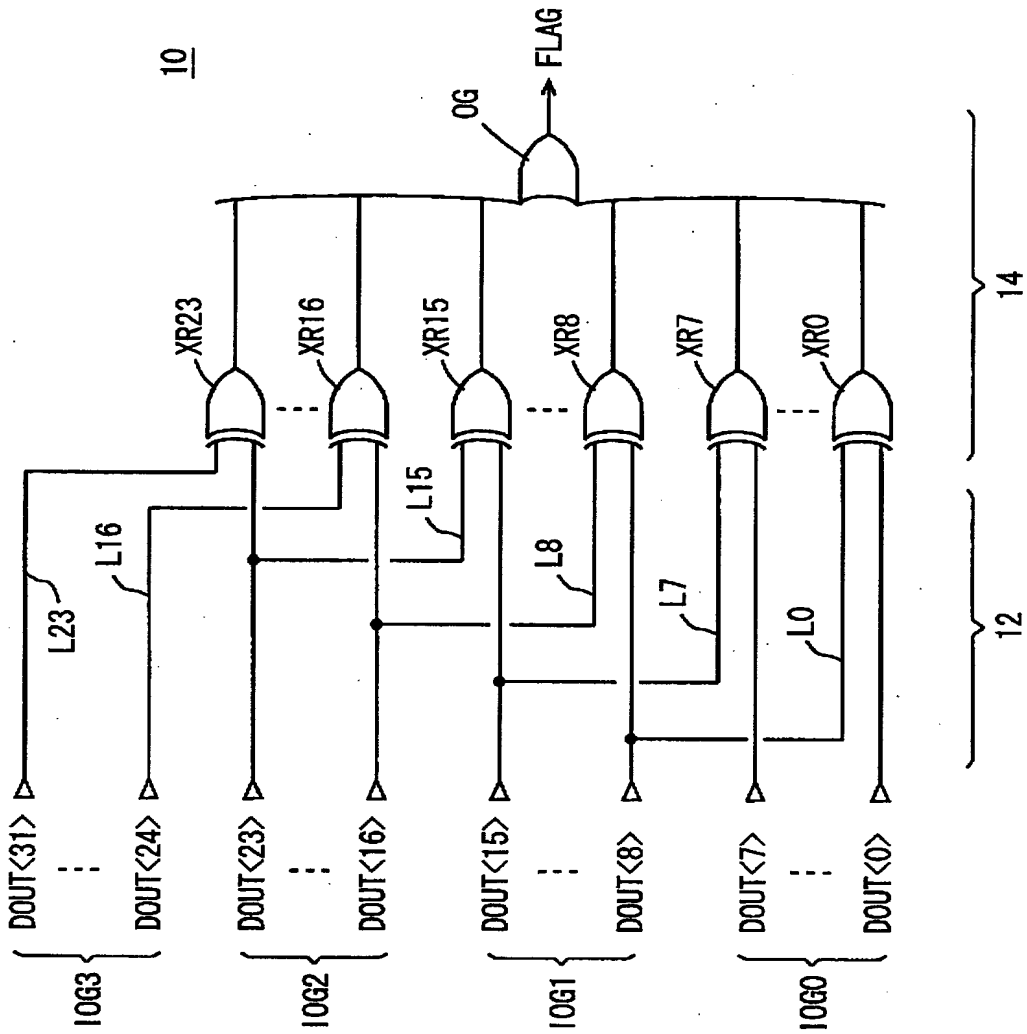
1 メモリアレイ、3 内部データ読出回路、4 データ出力回路、5 内部読出データバス、10 マルチビットテスト回路、12 データビット対形成配線領域、14 縮退回路、40 メモリ回路、XR0-XR31 EXOR回路、OG、OGA、OGB OR回路、L0-L31 信号線、20 教師データバス、LL0-LL23 信号線、IOG0-IOG3 データ群。

【書類名】 図面

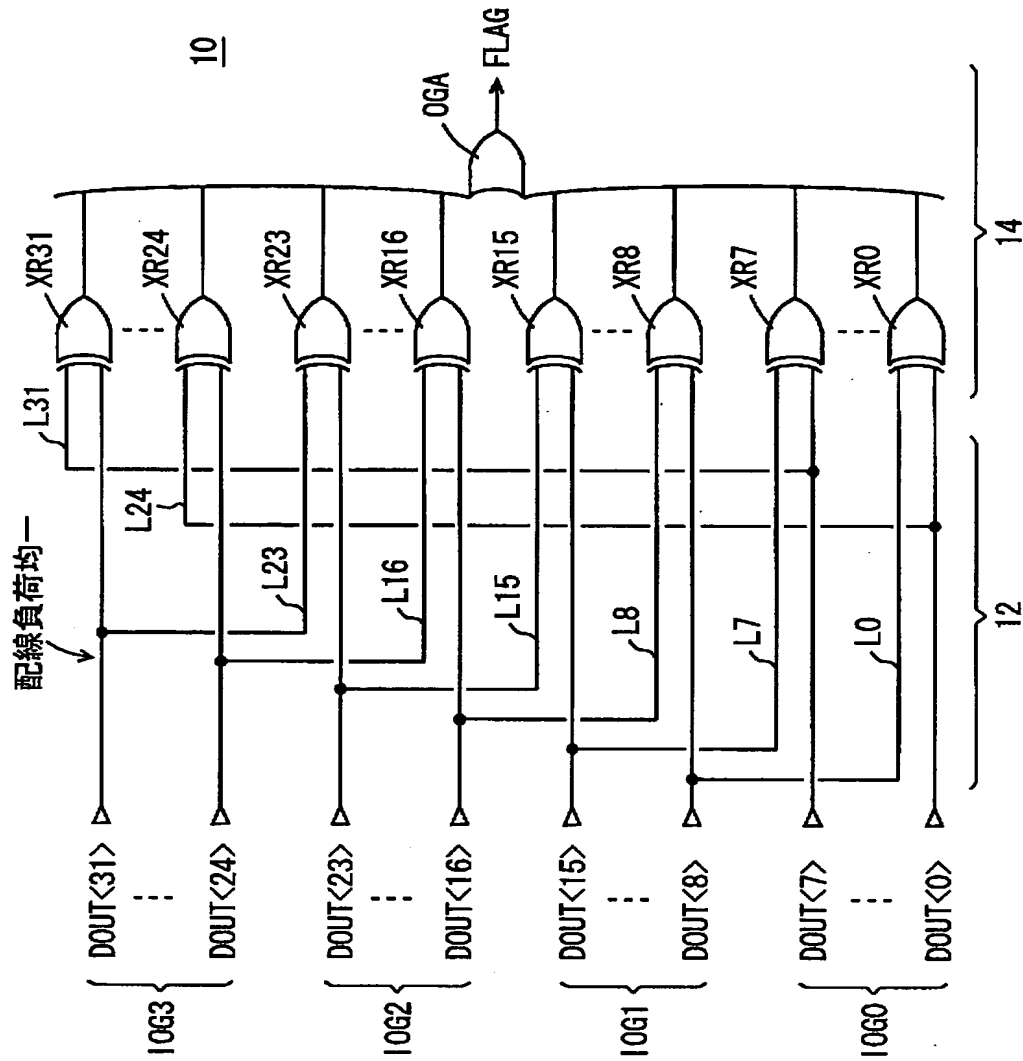
【図 1】



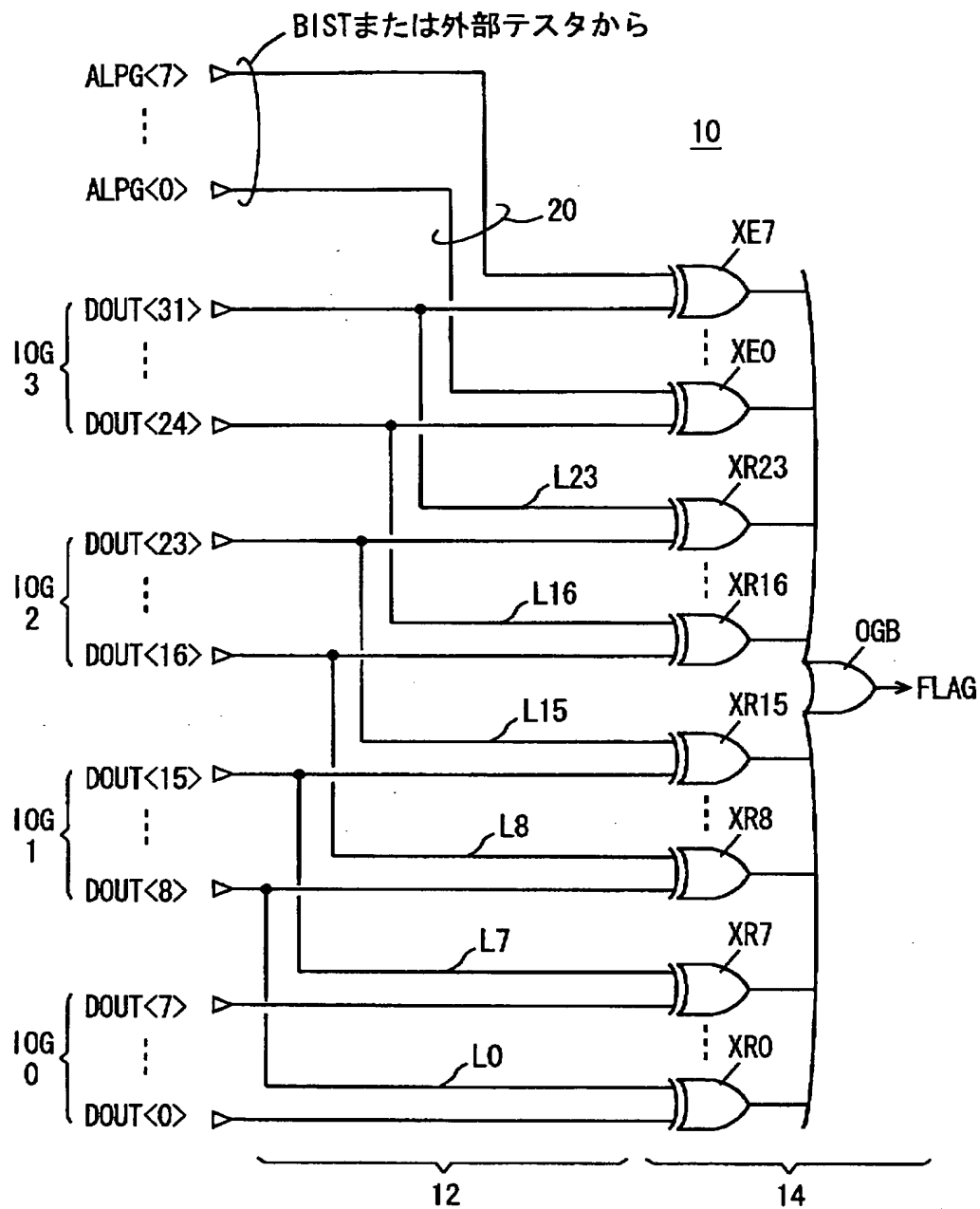
【図 2】



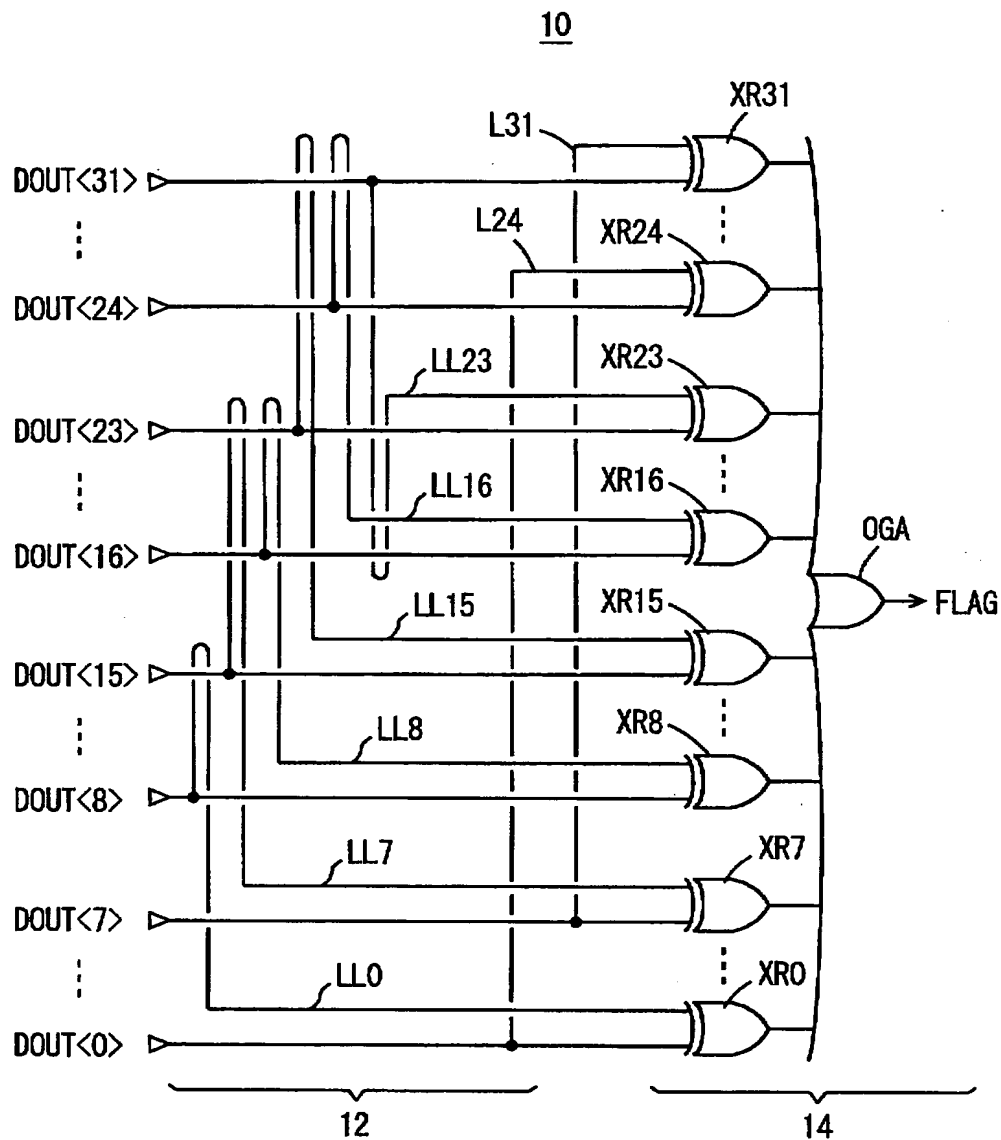
【図 3】



【図 4】

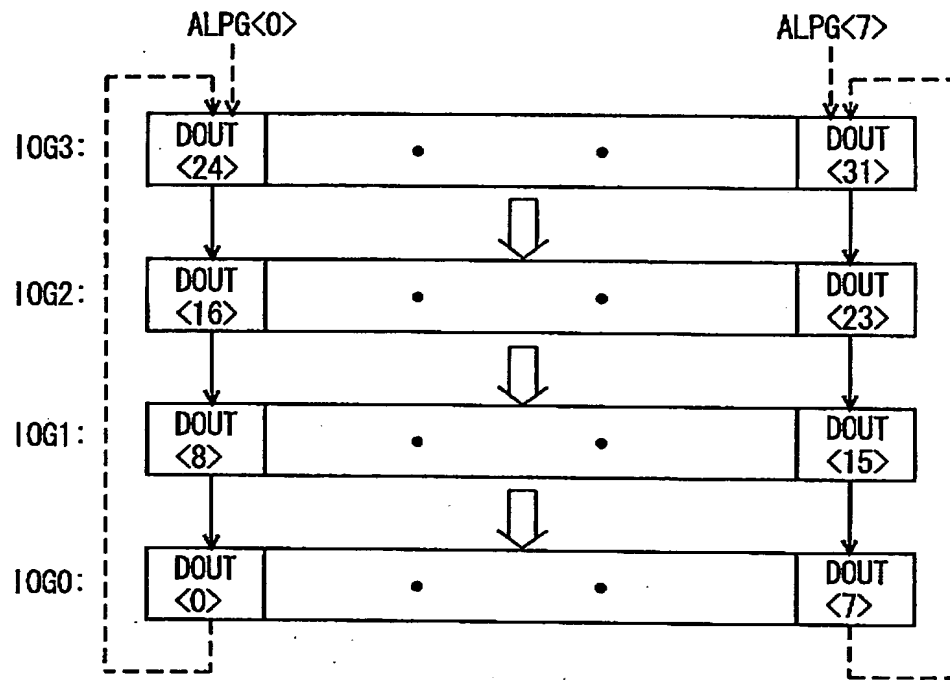


【図 5】

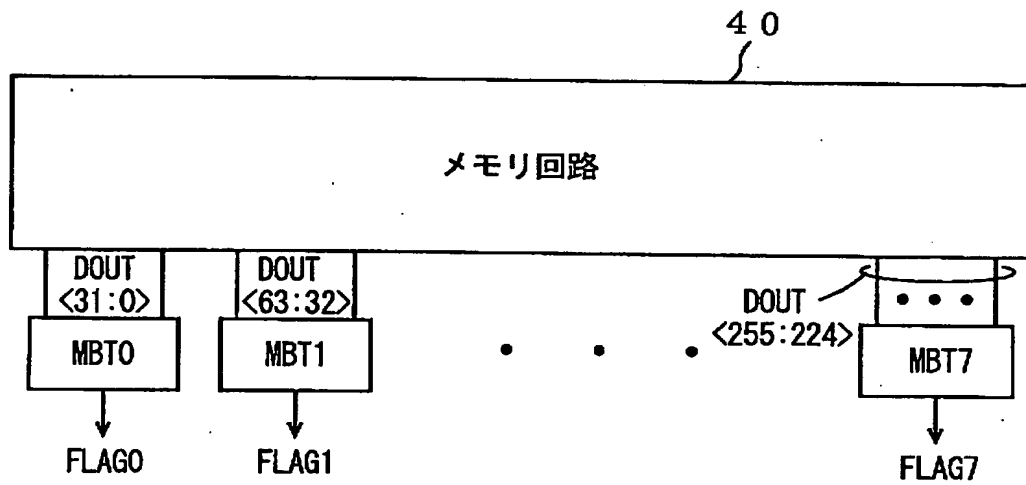




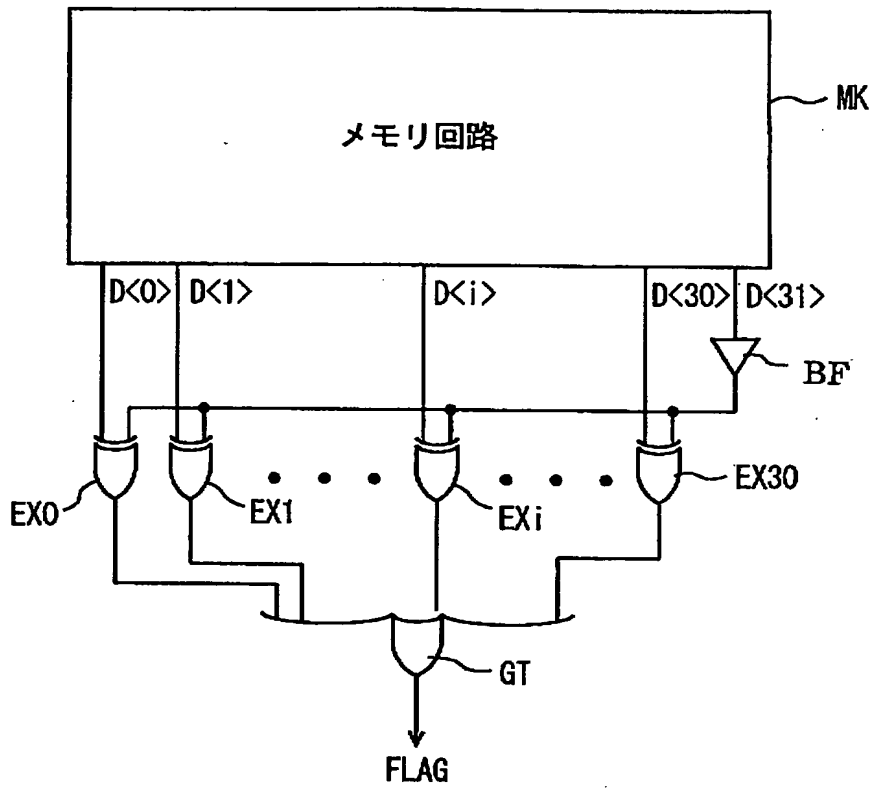
【図 6】



【図 7】



【図 8】



【書類名】            要約書

【要約】

【課題】    マルチビットテスト回路の回路占有面積を低減し、かつ高速でマルチビット判定を行なう。

【解決手段】    内部読出データビットを複数のデータ群（I O G 0 - I O G 3）に分割し、異なるデータ群の対応の位置のデータビットの対を形成し各対に対して判定ゲート（X R 0 - X R 3 1）を配置し、判定動作を行なって最終的に1ビットのフラグ（F L A G）を生成する。

【選択図】            図 3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社